

Best Available Copy

First Hit

End of Result Set

 Generate Collection **Print**

L1: Entry 1 of 1

File: JPAB

Jan 22, 1993

PUB-NO: JP405013659A

DISSEMINATION IDENTIFIER: JP 05013659 A

TITLE: MANUFACTURING FOR SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Help

PUBN DATE: January 22, 1993

User Searches**References** INFORMATION:**Logout**

COUNTRY

OKAMOTO, YOSHIHIKO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

APPL-NO: JP03162702

APPL-DATE: July 3, 1991

US-CL-CURRENT: 257/682

INT-CL (IPC): H01L 23/538; H01L 21/3205

ABSTRACT:

PURPOSE: To improve packaging density in a multi-chip module, by casting a laser beam to a main face of a semiconductor chip in a metallic compound gas atmosphere, and depositing a metallic layer so that the semiconductor chips are connected electrically with each other.

CONSTITUTION: A recessed groove 2 having a flat bottom is provided on a main face of a substrate 1 in a multi-chip module. In the recessed groove 2, a plurality of semiconductor chips are mounted after the main faces thereof are adjusted to the same height. An insulating film 6 is provided on the semiconductor chip 3, and an interconnection 7 is provided on the insulating film 6 for connecting the semiconductor chips electrically. In this case, the interconnection 7 is formed by depositing metal generated through decomposition of a metallic compound gas onto an irradiated part while an energy beam is cast to the main face of the semiconductor chip 3 in the metallic compound gas atmosphere.

COPYRIGHT: (C)1993, JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-13659

(43)公開日 平成5年(1993)1月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/538 21/3205		7220-4M 7353-4M	H 0 1 L 23/ 52 21/ 88	A B

審査請求 未請求 請求項の数6(全10頁)

(21)出願番号 特願平3-162702

(22)出願日 平成3年(1991)7月3日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 岡本 好彦

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

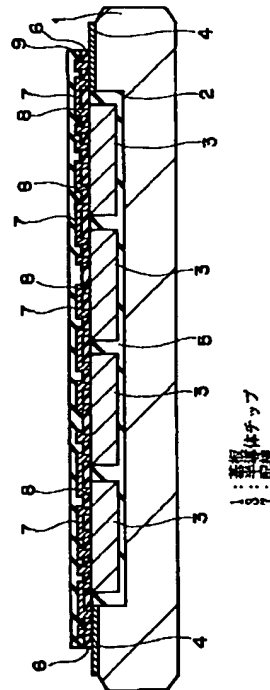
(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【目的】 マルチチップ・モジュールの実装密度を向上させる。

【構成】 金属化合物ガスの雰囲気中、基板1に搭載した複数の半導体チップ3の主面上にレーザービームを照射して金属層を析出させ、この金属層からなる配線7で半導体チップ3間を電気的に接続するマルチチップ・モジュールの製造方法である。

図2



1

【特許請求の範囲】

【請求項1】 複数の半導体チップを基板上に搭載した後、金属化合物ガスの雰囲気中で前記半導体チップの主面上にレーザービームを照射して前記金属化合物を分解し、前記レーザービームの照射箇所に金属層を析出させることによって、前記半導体チップ間を電氣的に接続することを特徴とする半導体集積回路装置の製造方法。

【請求項2】 前記金属層を介して同一半導体チップの内部配線間を電氣的に接続することを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項3】 前記金属化合物は、高融点金属カルボニルであることを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項4】 半導体ウエハのスクライブライン上に半導体チップに接続されたパッドを形成し、ウエハプロセス完了後、前記パッドにプローブを当接して前記半導体チップの良否を判定することを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項5】 半導体ウエハの一部に半導体チップに接続されたテスト用チップを形成し、ウエハプロセス完了後、前記テスト用チップを通じて前記半導体チップの良否を判定することを特徴とする請求項1記載の半導体集積回路装置の製造方法。

【請求項6】 複数の半導体チップを基板上に搭載した後、前記半導体チップの上部に金属酸化物からなる薄膜を堆積し、次いで前記薄膜の所定箇所にレーザービームを照射した後、非照射箇所の前記薄膜をエッチングにより除去し、次いで前記半導体チップの上部に残った前記薄膜を還元雰囲気中でアニールして金属層を析出させることによって、前記半導体チップ間を電氣的に接続することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置の製造技術に関し、特に、基板上に複数の半導体チップを搭載したマルチチップ・モジュールに適用して有効な技術に関するものである。

【0002】

【従来の技術】マルチチップ・モジュールは、CPU、RAM、ROM、ゲートアレイなどの集積回路を半導体チップ単位で作成し、これらの半導体チップを基板上に実装することによって、所望のシステムを実現する方式である。半導体チップを基板上に実装するには、ワイヤボンディング、TAB、フリップチップなどの実装方式が用いられる。また、基板材料には、セラミック、合成樹脂、半導体ウエハなどが用いられる。

【0003】「アイ・イー・イー・イー、トランザクションズ オン コンポーネンツ、ハイブリッツ、アンド マニファクチャリング テクノロジー、12巻、第2号、1989年6月(IEEE TRANSACTIONS ON COMPONENT

2

TS, HYBRIDS, AND MANUFACTURING TECHNOLOGY, VOL. 12, NO. 2, JUNE 1989) P185~P194には、マルチチップ・モジュールの一例が記載されている。

【0004】上記文献に記載されたマルチチップ・モジュールは、半導体ウエハからなる基板の主面に半導体チップとほぼ同寸法の複数の孔を設け、各々の孔に埋込んだ半導体チップと基板との間を配線で接続することによって半導体チップ間を結線している。

【0005】また、半導体チップと基板との間に配線を形成するには、あらかじめ基板の孔の周囲および半導体チップの各々に配線接続用のパッドを設けておき、半導体チップを孔に埋込んだ後、基板の主面にA1などの導電膜を堆積し、フォトレジストをマスクに用いてこの導電膜をパターニングする方法が用いられている。

【0006】

【発明が解決しようとする課題】前記文献に記載されたマルチチップ・モジュールの結線方式は、半導体チップを埋込む孔の周囲の基板に多数の配線接続用パッドを設ける必要があるため、隣り合った孔同士の間隔を縮小することが困難で、半導体チップを高密度に実装することができないという問題があった。

【0007】また、大規模ASIC(Application Specific IC)の需要増大に伴い、マルチチップ・モジュールにおいても開発期間(TAT)の短縮が要求されているが、前記マルチチップ・モジュールの場合は、品種が変わる毎にその都度配線用フォトマスクを用意する必要があるため、開発期間が長期化するのみならず、製造コストも増大するという問題があった。

【0008】本発明は、上記した問題点に着目してなされたものであり、その目的はマルチチップ・モジュールの実装密度を向上させる技術を提供することにある。

【0009】本発明の他の目的は、マルチチップ・モジュールの開発期間を短縮する技術を提供することにある。

【0010】本発明の他の目的は、マルチチップ・モジュールの製造コストを低減する技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を説明すれば、以下のとおりである。

【0013】本発明は、複数の半導体チップをマルチチップ・モジュールの基板上に搭載した後、金属化合物ガスの雰囲気中で前記半導体チップの主面上にレーザービームを照射して前記金属化合物を分解し、前記レーザービームの照射箇所に金属層を析出させることによって前記半導体チップ間を電氣的に接続する方法である。

50

【0014】

【作用】上記した手段によれば、半導体チップの主面上に形成した配線を通じて半導体チップ間を直結するので、半導体チップの主面上にボンディングパッドを設ける必要がなく、その分、半導体チップのサイズを縮小できるので、半導体チップの高密度実装を実現することができる。

【0015】上記した手段によれば、基板上に配線や配線接続用パッドを設ける必要がないので、基板上における半導体チップの間隔を縮小でき、半導体チップの高密度実装を実現することができる。

【0016】上記した手段によれば、半導体チップの主面上の配線パターンを変更するだけで同一基板上に異なるシステムを実現することができるので、品種毎に基板や配線用フォトマスクを製造したり、基板上に半導体チップを搭載したりする工程が不要となる。また、配線のパターン変更や修正も容易に行うことができる。

【0017】

【実施例1】第2図は、本発明の一実施例であるマルチチップ・モジュールの要部を示す断面図である。

【0018】このマルチチップ・モジュールの基板1の主面には、平坦な底面を有する凹溝2が設けられており、この凹溝2内には複数の半導体チップ3がそれらの主面の高さを合わせて搭載されている。上記半導体チップ3の主面の高さは、基板1の主面の周辺部の高さにはほぼ合わせてある。

【0019】上記基板1の主面の周辺部には、マルチチップ・モジュールの入出力信号用端子および電源用端子を構成する多数のリード配線4が凹溝2を囲むように設けられている。基板1は、例えばシリコン単結晶からなる半導体ウエハ、または上記半導体チップ3よりも大面積の半導体チップで構成されている。

【0020】上記基板1に搭載された半導体チップ3の底面および半導体チップ3の間には、絶縁材5が埋込まれている。この絶縁材5は、半導体チップ3と基板1との接着や半導体チップ3の位置決めなどを目的としたもので、例えばエポキシ樹脂やポリイミド樹脂のような耐熱性合成樹脂、あるいはガラスのような耐熱性無機材料など、その熱膨張係数が半導体チップ3および基板1を構成するシリコンに近い材料で構成されている。

【0021】上記半導体チップ3の上部には、絶縁膜6が設けられている。この絶縁膜6は、例えばCVD法で堆積した酸化珪素膜からなる。絶縁膜6としては、その他、CVD法で堆積したPSG(Phospho Silicate Glass)膜、BSG(Boro Silicate Glass)膜、BPSG(Boro Phospho Silicate Glass)膜、あるいはスピコート法で塗布したポリイミド樹脂膜などが用いられる。

【0022】上記絶縁膜6の上部には、半導体チップ3間を電氣的に接続する配線7が設けられている。この配線7は、金属化合物ガスの雰囲気中で半導体チップ3の

主面上にエネルギービームを照射し、この金属化合物ガスの分解によって生成した金属を照射部に析出させることによって形成したものである。この配線7の形成方法については、後で詳細に説明する。

【0023】上記配線7は、入出力信号用配線と電源用配線とで構成されており、絶縁膜6および半導体チップ3の主面にそれぞれ開孔された接続孔8を通じて半導体チップ3の内部配線と直結されている。また、上記配線7の一部は、接続孔8を通じて半導体チップ3の内部配線同士を接続している。

【0024】さらに、上記配線7は、接続孔8を通じて基板1の周辺部のリード配線4とも接続されており、このリード配線4と配線7とを通じて外部信号源および外部電源からマルチチップ・モジュールに信号および電源が供給される。

【0025】上記配線7の上部には、半導体チップ3および配線7を保護するためのパッシベーション膜9が設けられている。このパッシベーション膜9は、例えばCVD法で堆積した酸化珪素膜またはスピコート法で塗布したポリイミド樹脂膜からなる。

【0026】図3に示すように、本実施例のマルチチップ・モジュールは、上記基板1上に搭載された半導体チップ3を、例えばシングルチップ・マイクロコンピュータ、RAM、ROM、マクロセル(A/D、D/Aなど)およびランダムロジックで構成し、これらを配線7で接続することによって基板1上に所定のシステムを実現したものである。

【0027】また、図4に示すように、本実施例のマルチチップ・モジュールは、所定のシステム機能を有するシングルチップ・マイクロコンピュータをより大規模なシステムの構成単位(マクロセル)と見做し、これをRAM、ROM、ランダムロジックなどと共に基板1上に搭載して配線7のパターンを適宜変更することにより、同一基板1上でシステムの規模を段階的に拡大または縮小できる構成になっている。

【0028】このように、本実施例のマルチチップ・モジュールは、基板1上に搭載した半導体チップ3の上部に絶縁膜6を介して配線7を形成し、この配線7を通じて所定の半導体チップ3間を接続しているので、上記配線7のパターンを変更するだけで同一の基板1上に異なるシステムを実現することができる。

【0029】また、製品完成後においても、配線パターンの変更や修正を容易に実施することができるので、品種毎に基板1を設計、製造したり、半導体チップ3を搭載したりする工程が不要となり、マルチチップ・モジュールの開発期間の短縮および製造コストの低減を実現することができる。

【0030】また、本実施例のマルチチップ・モジュールは、半導体チップ3の上部に形成した配線7を通じて半導体チップ3間を直結するので、半導体チップ3の主

面上にボンディングパッドを設ける必要がなく、その分、半導体チップ3のサイズを縮小できる。これにより、半導体チップ3の高密度実装、すなわちシステムの大規模化を容易に実現することができる。

【0031】また、本実施例のマルチチップ・モジュールは、基板1上に配線や配線接続用パッドを設ける必要もないので、基板1上における半導体チップ3同士の間隔を縮小でき、半導体チップ3の高密度実装、すなわちシステムの大規模化を容易に実現することができる。

【0032】また、本実施例のマルチチップ・モジュールは、半導体チップ3の内部配線をボンディングパッドまで引き回す必要がないので、内部配線長を短くでき、かつ基板1上における半導体チップ3同士の間隔を縮小できるので、配線遅延が低減され、その分、システムの高速度動作を実現することができる。

【0033】また、本実施例のマルチチップ・モジュールは、配線7を通じて半導体チップ3の内部配線同士を接続している。すなわち、配線7の一部は、実質的に半導体チップ3の内部配線の最上層配線を構成している。これにより、半導体チップ3の内部配線密度を低減することができるので、配線設計の自由度が向上する。

【0034】次に、図5を用いて上記配線7の形成に用いるレーザCVD装置の構成を説明する。

【0035】このレーザCVD装置20は、処理系と制御系とからなり、処理系は、上部にレーザ光源21を設けた処理室22を備えている。レーザ光源21は、例えばレーザ出力200mW、連続発振高出力のアルゴン(Ar)レーザ光源であり、室外のレーザ光学系コントローラ23によってその出力などが制御される。また、処理室22内は、真空コントローラ24によって制御されるターボ分子ポンプ25aによって所定の真空条件に設定される。

【0036】上記処理室22内の中央には、室外のXYステージコントローラ26およびXYステージドライバ27によって水平方向に駆動されるXYステージ28が配置されている。前記マルチチップ・モジュールの基板1は、自動搬送コントローラ29によって制御される自動搬送機構30によって処理室22の一端の予備室31からシャッタ機構32を通じてXYステージ28上に搬送される。

【0037】上記予備室31は、ターボ分子ポンプ25bによって処理室22とは独立に真空状態を実現できる構造となっている。また、上記XYステージ28は、その内部にヒータなどの加熱手段33が設けられ、基板1の表面を所定の温度に加熱できる構造になっている。

【0038】上記処理室22の上部に配置されたレーザ光源21からXYステージ28上に照射されるレーザビームLBの光路の途中には、ビーム偏光器34と対物レンズ35とからなるビーム偏光集束光学系が設けられている。本実施例では、上記ビーム偏光器34として、例

えばAOモジュレータ(Acoust-Optic Modulator)を用いている。ビーム偏光器34は、室外のAOスキャンコントローラ36によって制御される。レーザビームLBは、上記ビーム偏光集束光学系により、基板1の主面の任意の位置に指定時間照射される。

【0039】上記XYステージ28の斜め上方には、ガス銃コントローラ37によって制御されるガス銃(反応ガス供給手段)38が配置されている。このガス銃38は、XYステージ27上に載置された基板1の主面上にモリブデンカルボニル(Mo(CO)₆)のような金属化合物からなる反応ガスGsを供給する。

【0040】上記各コントローラは、ハードディスクなどの大容量記憶装置やCPUなどを内蔵した制御用コンピュータ39によって制御される。上記記憶装置には、品種毎に作成されたチップ間結線情報ファイルが格納され、制御プログラムによって適宜選択された情報が必要に応じて各コントローラに転送される。

【0041】上記制御用コンピュータ39には、CRT40、キーボード41、マウス42、フロッピーディスク43などの入出力手段が設けられ、これらの入出力手段を通じてオペレータの指示の入力あるいは処理実行結果の表示および記録などが行われる。

【0042】次に、上記マルチチップ・モジュールの製造方法を説明する。まず、公知のウエハプロセス(CMOSプロセス、バイポーラプロセスなど)に従い、半導体ウエハの主面に前記CPU、RAM、ROM、ゲートアレイなどの集積回路を形成する。

【0043】図6は、これらの集積回路を形成した半導体ウエハの要部平面図である。この半導体ウエハ50には、スクライプラインSを介して互いに分離された多数の半導体チップ3が格子状に配置されている。スクライプラインS上には、半導体チップ3に接続された多数のテスト用パッド51が設けられている。このテスト用パッド51は、半導体チップ3の最上層配線と同一の導電膜(例えばAl合金膜)で構成されている。

【0044】また、上記半導体ウエハ50には、半導体チップ3よりも小形のテスト用チップ52が設けられている。このテスト用チップ52は、スクライプラインS上に設けられた配線53を通じて半導体チップ3と接続されている。この配線53は、半導体チップ3の最上層配線および前記テスト用パッド51と同一の工程で形成された同一の導電膜で構成されている。

【0045】上記テスト用チップ52には、半導体チップ3に形成された集積回路の動作をテストするためのテスト回路(テストパターン発生回路、テスト結果解析回路)が設けられている。このテスト用回路は、ウエハプロセスで集積回路と同時に形成される。

【0046】上記半導体チップ3の所定の領域には、位置および高さ検出用のマークMが設けられている。このマークMは、前記テスト用パッド51および配線53と

7

同一の工程で形成された同一の導電膜で構成されている。

【0047】ウエハプロセスが完了した上記半導体ウエハ50は、プローブテストによってそれぞれの半導体チップ3の良否が判定される。このプローブテストは、スクライプラインS上に設けた前記テスト用パッド51にプローブを当接して行う。また、テスト用パッド51を通じて前記テスト用チップ52にテスト実行命令を与え、半導体チップ3の良否をより詳細にテストする。

【0048】その後、上記半導体ウエハ50をダイシングして半導体チップ3を分離する。

【0049】このダイシングにより、テスト用パッド51およびテスト用チップ52は、半導体チップ3から切り離される。なお、半導体チップ3とテスト用チップ52とを接続する配線53やスクライプラインS上のテスト用パッド51は、上記ダイシング工程に先立ち、半導体チップ3の表面のバッシベーション膜をマスクに用いたエッチングで除去してもよい。

【0050】このように、本実施例では、半導体ウエハ50のスクライプラインS上に半導体チップ3に接続されたテスト用パッド51を設けたので、半導体チップ3の内部にパッドを設けなくともプローブテストを実施することができ、その分、半導体チップ3のサイズを縮小することができる。

【0051】また、本実施例では、半導体ウエハ50間にテスト回路を備えたテスト用チップ52を設け、このテスト用チップ52を通じて半導体チップ3の良否を詳細にテストするので、半導体チップ3の内部にテスト回路を設ける必要がなくなり、その分、半導体チップ3のサイズを縮小することができる。

【0052】次に、上記のようにして得られた半導体チップ3を基板1に搭載する方法を説明する。

【0053】まず、図7に示すように、基板1の主面をエッチングして凹溝2を形成した後、この凹溝2の周囲にリード配線4を形成する。リード配線4は、例えば基板1の主面にスパッタ法などで堆積したAl、Cuあるいは高融点金属などの導電材料からなる薄膜をフォトリソグラフィ技術でパターンニングして形成する。

【0054】次に、半導体チップ3同士の主面の高さを合わせるため、図8に示すように、平坦な面を有する基台54の上に半導体チップ3の主面を下向きにして載せ、半導体チップ3間に絶縁材5を充填する。

【0055】次に、図9に示すように、半導体チップ3の裏面に基板1を押し付けて半導体チップ3と基板1との隙間全体に絶縁材5を充填する。その後、加熱などによって上記絶縁材5を硬化させ、半導体チップ3を基板1の主面上に固定する。

【0056】次に、上記のようにして基板1に搭載された半導体チップ3間に配線7を形成する方法を説明する。

8

【0057】まず、図1(a)に示すように、半導体チップ3の上部に絶縁膜6を堆積した後、この絶縁膜6および半導体チップ3のバッシベーション膜60を開孔して最上層配線61に達する接続孔8を形成する。なお、この最上層配線61は、例えばシリコンおよびCuを添加したAl合金で構成されている。また、最上層配線61の下部の層間絶縁膜62は、例えば酸化珪素膜やBPSG膜などで構成されている。

【0058】上記接続孔8を形成するには、まず、絶縁膜6の上部に電子線レジストを塗布し、この電子線レジストの所定領域を電子線で露光する。電子線で露光する領域の座標の指定は、品種毎に作成したチップ間結線情報ファイルに基づき、半導体チップ3の主面にあらかじめ形成しておいた前記マークMを測定しながら行う。

【0059】このマークMは、絶縁膜6およびバッシベーション膜60で覆われているので、電子線描画装置のビーム加速電圧は、高い方が有利である（本実施例では、例えば50kV程度）。

【0060】半導体チップ3の各々は、主面の高さや相互の位置を合わせて基板1上に搭載されているが、製造工程のばらつきによって高さや位置がずれることがある。この場合は、図10に示すように、それぞれの半導体チップ(P、Q…)のマークMの位置および高さを測定して設計座標と実際の位置座標

$P_i(x, y, z)$ $P_i'(x, y, z)$

$Q_i(x, y, z)$ $Q_i'(x, y, z)$

...

($i=1\sim 4$)

につき相関をとり、半導体チップ内の位置はそのマーク位置に基づいて、また半導体チップ間の位置はそれぞれの半導体チップのマーク位置に基づいてそれぞれ線形補間する。

【0061】通常、半導体チップ3の面積は、10mm×10mm程度、基板1上における搭載歪みは、

平面位置：±20μm程度

高さ位置、傾き：±2μm程度

であるので、露光領域の座標は、上記線形補間で補正することができる。

【0062】次に、上記電子線レジストを現像してレジストマスクを作成し、このレジストマスクを用いて絶縁膜6およびバッシベーション膜60をエッチングして接続孔8を形成する。

【0063】なお、上記接続孔8は、集束イオンビームを用いて形成することもできる。この場合も、集束イオンビームを照射する領域の座標の指定は、品種毎に作成したチップ間結線情報ファイルに基づき、マークMを測定しながら行う。

【0064】次に、上記基板1を前記レーザCVD装置20の処理室22に搬送し、XYステージ28上に位置決めする。基板1の位置決めは、基板1に搭載されたそ

それぞれの半導体チップ3のマークMの位置および高さをレーザビームLBで走査し、XYステージ28の位置および高さをレーザ測長することで行う。

【0065】上記位置決めが行われると、真空コントローラ24によって制御されるターボ分子ポンプ25aが作動して処理室22内が10Pa程度の真空に設定され、次いでガス銃38が作動して基板1の表面がMo(CO)₆からなる反応ガスGsの雰囲気で覆われる。続いて、レーザ光学系コントローラ23によりレーザ光源21が作動し、前記接続孔8の底部に露出した最上層配線61の表面にビーム径を直径3μm程度に絞ったレーザビームLBが照射される。

【0066】すると、レーザビームLBのエネルギーによってMo(CO)₆が分解し、図1(b)に示すように、接続孔8の底部に露出した最上層配線61の表面にMoが析出する。このMo層7aは、レーザビームLBの照射を続けることによって次第に成長し、図1(c)に示すように、接続孔8の頂部まで成長する。

【0067】続いて、XYステージ28が所定の方向に水平移動され、図1(d)に示すように、その軌跡に沿って絶縁膜6の表面にMo層7aが析出し、配線7が形成される。XYステージ28の移動は、前記チップ間結線情報ファイルに基づき、マークMを測定しながら行う。

【0068】このようにして、半導体チップ3間および半導体チップ3の内部配線同士を配線7で接続した後、XYステージ28を300℃程度に加熱し、配線7を構成するMo層7aをアニールしてその抵抗値を下げ、最後に、配線7の上部にパッシベーション膜9を堆積することにより、前記図2に示すマルチチップ・モジュールが完成する。

【0069】このように、本実施例では、レーザビームLBによるMo(CO)₆の分解反応を利用して半導体チップ3間および半導体チップ3の内部配線同士を結線するので、品種毎に配線用フォトマスクを製造する工程が不要となり、マルチチップ・モジュールの開発期間の短縮、製造コストの低減を実現することができる。

【0070】図11は、上記マルチチップ・モジュールを封止したマルチチップ・パッケージ70の一例である。

【0071】基板1は、パッケージ基板71のキャビティ72内に封止されている。パッケージ基板71は、例えばムライトや窒化アルミニウムなどのセラミックで構成され、その下面には多数のリードピン73が設けられている。基板1のリード配線4は、AuやCuからなるボンディングワイヤ74を介してパッケージ基板71の主面のリード配線75と接続されている。

【0072】上記リード配線75は、パッケージ基板71の内部配線(図示せず)を通じて前記リードピン73と接続されている。すなわち、基板1に搭載された半導

体チップ3は、配線7、リード配線4、ボンディングワイヤ74、リード配線75およびパッケージ基板71の内部配線を通じてリードピン73と接続されている。

【0073】上記パッケージ基板71の主面には、ガラスなどの封止材76を介してキャップ77が接合されている。このキャップ77は、例えばムライトや窒化アルミニウムなどのセラミックで構成されている。

【0074】

【実施例2】前記実施例では、レーザビームLBによるMo(CO)₆の分解反応を利用して配線7を形成したが、図12に示すフローに従って配線7を形成することもできる。

【0075】すなわち、半導体チップ3のパッシベーション膜60およびその上部に堆積した絶縁膜6を開孔して最上層配線61に達する接続孔8を形成した後、スパッタ法などを用いて酸化タンタルまたは酸化タングステンのような金属酸化物からなる薄膜を上記絶縁膜6の上部に堆積する。

【0076】次に、基板1を前記レーザCVD装置20の処理室22に搬送し、XYステージ28上に位置決めする。基板1の位置決めは、基板1に搭載されたそれぞれの半導体チップ3のマークMの位置および高さをレーザビームLBで走査し、XYステージ28の位置および高さをレーザ測長することで行う。

【0077】続いて、XYステージ28を所定の方向に移動させながら、上記薄膜にレーザビームLBを照射する。XYステージ28の移動は、前記チップ間結線情報ファイルに基づき、半導体チップ3のマークMを測定しながら行う。

【0078】次に、上記薄膜を弱アルカリ水溶液などのエッチング液で処理して非照射箇所の薄膜を除去した後、絶縁膜6の上部に残った薄膜を水素ガス雰囲気中でアニールして金属酸化物を還元し、金属層を析出させることによって、半導体チップ3間を接続する配線7を形成する。

【0079】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0080】前記実施例1では、金属化合物としてMo(CO)₆を用いたが、例えばW(CO)₆などの金属化合物を用いることもできる。

【0081】半導体チップの主面上に形成する配線を多層配線構造にしてもよい。

【0082】基板上に半導体チップを搭載する際、あらかじめ半導体チップとほぼ同寸法の孔を基板に多数設けておき、それぞれの孔に半導体チップを一個ずつ埋込んでもよい。

【0083】基板材料には、セラミックや合成樹脂などを用いることもできる。

【0084】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0085】(1) 本発明によれば、基板上に搭載する半導体チップの間隔を著しく縮小することができるので、マルチチップ・モジュールの実装密度を向上させることができる。

【0086】(2) 本発明によれば、半導体チップのサイズを縮小することができるので、マルチチップ・モジュールの実装密度を向上させることができる。

【0087】(3) 本発明によれば、品種毎に基板やフォトリソマスクを設計、製造したり、基板上に半導体チップを搭載したりする工程が不要となるので、マルチチップ・モジュールの開発期間の短縮および製造コストの低減を実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施例であるマルチチップ・モジュールの結線方法を示す半導体チップの要部断面図である。

【図2】このマルチチップ・モジュールの断面図である。

【図3】このマルチチップ・モジュールのシステム構成を示す平面図である。

【図4】このマルチチップ・モジュールのシステムの階層構造を説明する図である。

【図5】このマルチチップ・モジュールの結線に用いるレーザCVD装置の要部を示す図である。

【図6】このマルチチップ・モジュールに搭載される半導体チップを形成した半導体ウエハの要部平面図である。

【図7】このマルチチップ・モジュールの製造方法を示す断面図である。

【図8】このマルチチップ・モジュールの製造方法を示す断面図である。

【図9】このマルチチップ・モジュールの製造方法を示す断面図である。

【図10】このマルチチップ・モジュールの基板上に搭載された半導体チップの位置および高さの補正方法を説明する図である。

【図11】このマルチチップ・モジュールを封止したマルチチップ・パッケージの断面図である。

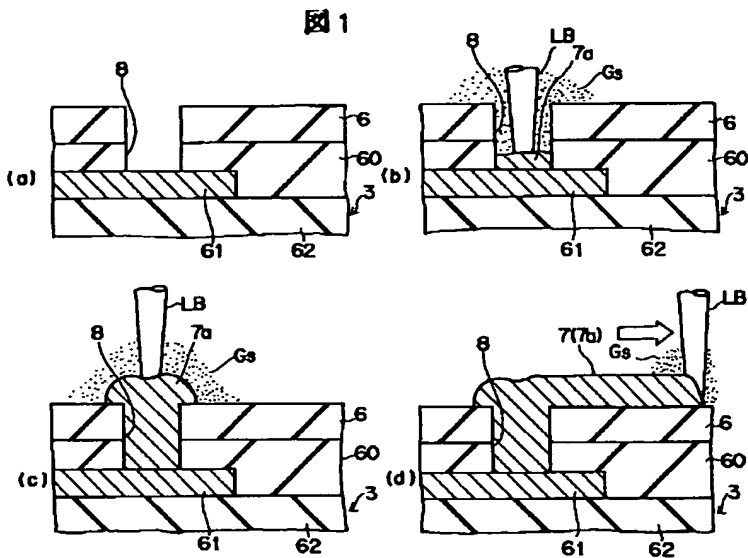
【図12】本発明の他の実施例であるマルチチップ・モジュールの結線方法を示すフロー図である。

【符号の説明】

- 1 基板
- 2 凹溝
- 3 半導体チップ
- 4 リード配線
- 5 絶縁材

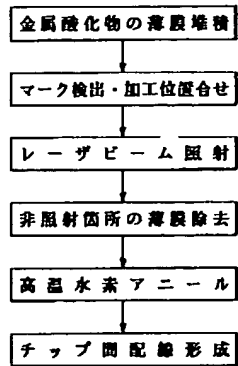
- 6 絶縁膜
- 7 配線
- 7a Mo層
- 8 接続孔
- 9 パッシベーション膜
- 20 レーザCVD装置
- 21 レーザ光源
- 22 処理室
- 23 レーザ光学系コントローラ
- 24 真空コントローラ
- 25a ターボ分子ポンプ
- 25b ターボ分子ポンプ
- 26 XYステージコントローラ
- 27 XYステージドライバ
- 28 XYステージ
- 29 自動搬送コントローラ
- 30 自動搬送機構
- 31 予備室
- 32 シャッタ機構
- 33 加熱手段
- 34 ビーム偏光器
- 35 対物レンズ
- 36 AOスキャンコントローラ
- 37 ガス銃コントローラ
- 38 ガス銃(反応ガス供給手段)
- 39 制御用コンピュータ
- 40 CRT
- 41 キーボード
- 42 マウス
- 43 フロッピーディスク
- 50 半導体ウエハ
- 51 テスト用パッド
- 52 テスト用チップ
- 53 配線
- 54 基台
- 60 パッシベーション膜
- 61 最上層配線
- 62 層間絶縁膜
- 70 マルチチップ・パッケージ
- 71 パッケージ基板
- 72 キャビティ
- 73 リードピン
- 74 ボンディングワイヤ
- 75 リード配線
- 76 封止材
- 77 キャップ
- LB レーザビーム
- M マーク
- S スクライブライン

【図1】



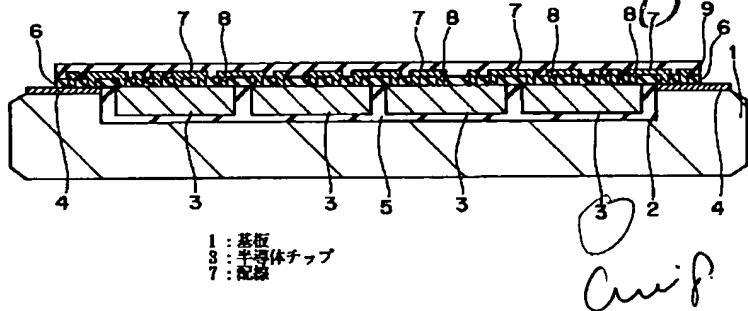
【図12】

図12



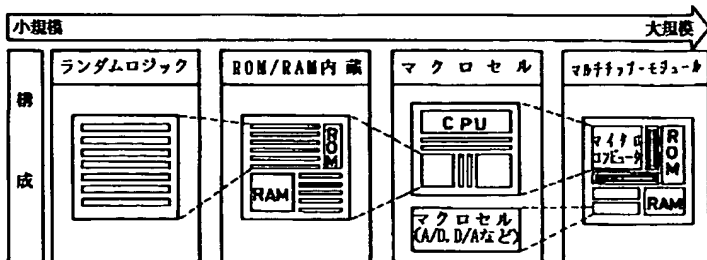
【図2】

図2

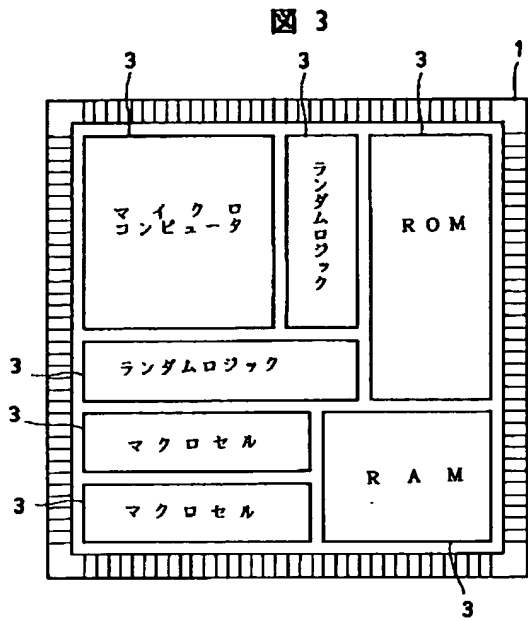


【図4】

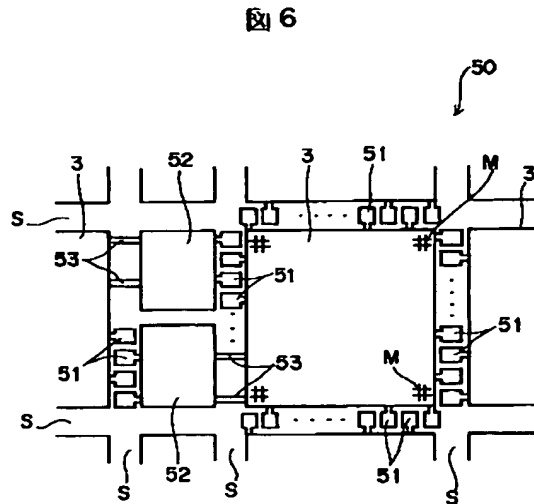
図4



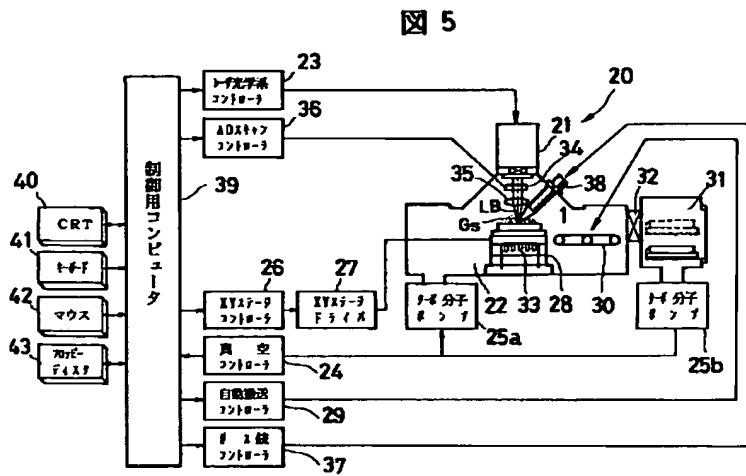
【図3】



【図6】



【図5】



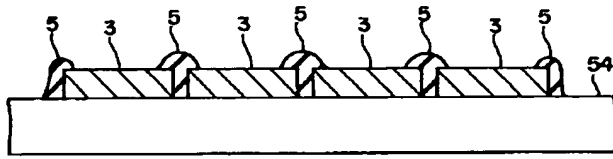
【図7】

図7



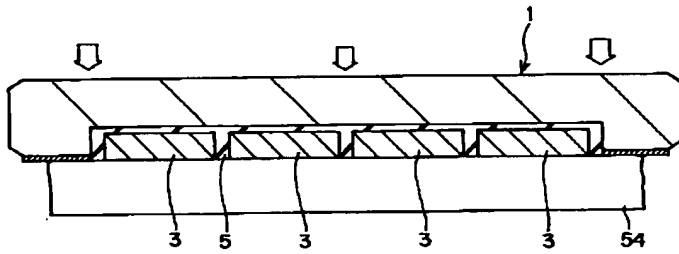
【図8】

図 8



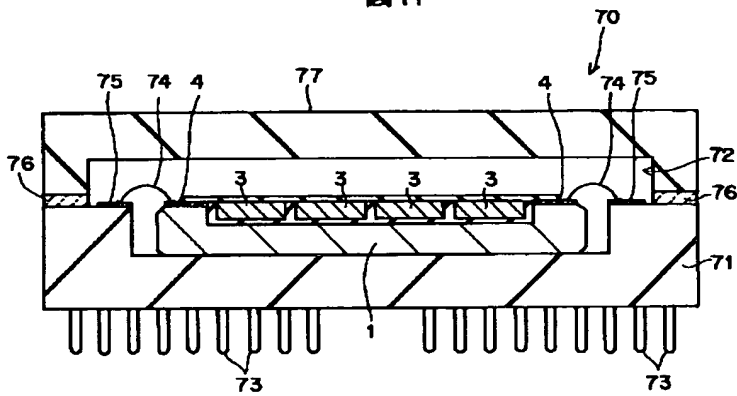
【図9】

図 9



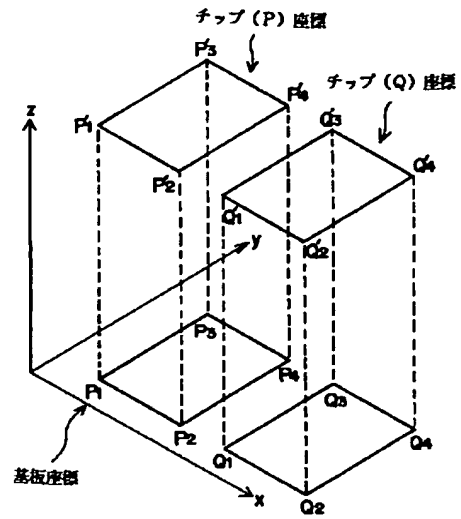
【図11】

図 11



【図10】

図 10



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT OR DRAWING
- BLURRED OR ILLEGIBLE TEXT OR DRAWING
- SKEWED/SLANTED IMAGES
- COLOR OR BLACK AND WHITE PHOTOGRAPHS
- GRAY SCALE DOCUMENTS
- LINES OR MARKS ON ORIGINAL DOCUMENT
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.